

**Family List**1 family member for: **JP62209514**

Derived from 1 application

**1 ACTIVE MATRIX SUBSTRATE****Inventor:** HANO TOSHIHIKO; MIYASAKA

TSUGUMITSU

**EC:****Publication Info:** **JP62209514 A** - 1987-09-14**Applicant:** SEIKO EPSON CORP**IPC:** *G02F1/136; G02F1/1368; G02F1/1362 (+4)*Data supplied from the **esp@cenet** database - Worldwide

- (19) Japan Patent Office (JP)
- (12) Laid-Open Disclosure Public Patent Bulletin (A)
- (11) Patent Application Laid-Open Disclosure No.: S62-209514
- (43) Publication Date: September 14, 1987

(51) Int. Cl. <sup>4</sup>	Identification Symbol	JPO File Number
G02F 1/133	327	8025-2H
G09F 9/30		6731-5C

Request for Examination: Not made

Number of Claims: 1 (3 Pages in Total)

(54) Title of the Invention: Active Matrix Substrate

(21) Patent Application No.: S61-52844

(22) Patent Application Date: March 11, 1986

(72) Inventor: Toshihiko MANO

c/o Seiko Epson Corporation

3-3-5, Yamato, Suwa-shi

(72) Inventor: Tsugumitsu MIYASAKA

c/o Seiko Epson Corporation

3-3-5, Yamato, Suwa-shi

(71) Applicant: Seiko Epson Corporation

2-4-1, Nishi-Shinjuku, Shinjuku-ku, Tokyo

(74) Agent: Patent Attorney: Mogami Tsutomu, and one other

#### Specification

##### Title of the Invention

Active Matrix Substrate

### Scope of Claim

An active matrix substrate characterized by comprising:

- a) a plurality of gate lines;
- b) a plurality of source lines orthogonal to the plurality of gate lines;
- c) a thin film transistor having a thin film semiconductor layer formed at an intersection of the gate line and the source line;
- d) a pixel electrode formed at a drain side of the thin film transistor,

wherein the source line is made of two layers of the gate line material and the pixel electrode material.

### Detailed Description of the Invention

#### [Industrial Field of the Invention]

The present invention aims at reducing a wiring resistance, especially by providing a two-layer source line in an active matrix substrate used in a liquid crystal display device, and so forth.

#### [Prior Art]

FIG. 2(a) shows a plan view of one pixel of the conventional active matrix substrate. Also, FIG. 2(b) shows a cross sectional view shown by the broken line A'B' in FIG. 2(a). An explanation is made in accordance with the drawings.

An island-like semiconductor thin film layer 201 is formed over an insulating substrate 200 such as a glass or quartz. After forming a gate insulating film over the semiconductor thin film layer, a gate line 202 also serving as a gate electrode is formed. After that, source and drain regions are formed by, for example, an ion implantation method or the like. Next, an interlayer insulating film 203 is formed over an entire surface, and a contact hole 204 is provided. Finally, a transparent conductive film such as ITO is formed by a sputtering method, etc., and a source line and a pixel electrode are formed by patterning.

The processes and the structure of the conventional active matrix substrate have been shown above.

**[Problem to be Solved by the Invention]**

However, in the conventional structural processes, since the source line is formed of the same material as the pixel electrode, a sheet resistance becomes higher, so that a wiring resistance of the source line becomes higher. For example, when ITO is used while keeping its transparency of 80% or more, the sheet resistance is  $10\text{-}20 \Omega/\square$ , which is one to two digits higher than that of metal materials such as Al. If the ITO is used as the source line, the wiring resistance will be several dozen  $\text{k}\Omega$  though it depends on L/W. High wiring resistance in the source line can cause insufficient contrast and resolution of a liquid crystal display device since sufficient signals cannot be written in. Further, when a metal wiring having a lower sheet resistance is used, the number of processes increases, which can lead to cost increase.

The present invention aims at decreasing the source line without increasing the number of processes by removing the above disadvantages. Concretely, a material used for a gate line is formed in a source line region excluding a region intersecting the gate line at the PE process, and finally, the source line made of pixel electrode material such as ITO is formed of two-layer structure having contacts with the material.

**[Means for Solving the Problem]**

The active matrix substrate of the present invention typically comprises:

- 1) a plurality of gate lines;
- 2) a plurality of source lines orthogonal to the plurality of gate lines;
- 3) a thin film transistor having a thin film semiconductor layer formed at an intersection of the gate line and the source line;
- 4) a pixel electrode formed at a drain side of the thin film transistor,

wherein the source line is made of two layers of the gate line material and the pixel electrode material.

**[Embodiment]**

The active matrix substrate of the present invention is basically shown by a plan view and a cross sectional view in FIGS. 1(a) and (b). Here, 100 is an insulating substrate such as a glass or

quartz; 101 is a semiconductor thin film constituting a thin film transistor; 102 is a gate line; 102' is a first layer of the two-layer source line, which has the same material as the gate line; 103 is an interlayer insulating film; 104 is a contact hole formed in the interlayer insulating film; 105' is a transparent conductive film such as ITO constituting a pixel electrode; 105 is a second layer of the source line made of the same material as the pixel electrode. Here, FIG. 1(a) shows a plan view of one pixel and FIG. 1(b) shows a cross sectional view shown by the broken line AB in FIG. 1(a). FIG. 3 is explained as follows in accordance with process orders.

First, an island-like semiconductor thin film 101 such as polycrystalline silicon is formed over an insulating substrate 100 such as a glass or quartz. A gate insulating film 101' is formed thereon by a thermal oxidation, etc (FIG. 3(a)).

Next, a gate wiring 102 and a first layer of a source line 102' are formed of polycrystalline silicon or the like having an impurity of H-type (or P-type), and source / drain regions are formed by an ion implantation method, etc (FIG. 3(b)).

Next, an interlayer insulating film 103 such as HSG or PSG is formed over an entire surface, and then a contact hole 104 is formed at the source / drain regions and on the first layer of the source line (FIG. 3(c)).

Finally, a pixel electrode 105' and the second layer of the source line 105 are formed of a transparent conductive film such as ITO (FIG. 3(d)).

The structure and the manufacturing process of the active matrix substrate in accordance with the present invention have been shown above.

#### [Effect of the Invention]

The effect of the present invention is that it is possible to lower the wiring resistance by increasing one step and making the source wiring the two-layer structure, and actually, the wiring resistance reduced by about 50% compared to the conventional wiring resistance. As a result, the problems such as insufficient contrast and resolution when used in a liquid crystal display were eliminated.

**Brief Description of Drawings**

FIG. 1 is a plan view (a) and a cross sectional view (b) of one pixel of the active matrix substrate in accordance with the present invention.

FIG. 2 is a plan view (a) and a cross sectional view (b) of one pixel of a conventional active matrix substrate.

FIGS. 3(a) to (d) show a cross sectional view of each process in accordance with the present invention.

100 ~ insulating substrate	101 ~ semiconductor thin film
101' ~ gate insulating film	
102 ~ gate line	102' ~ first layer of source line
103 ~ interlayer insulating film	
104 ~ contact hole	
105 ~ second layer of source line	
105' ~ pixel electrode	

① 日本国特許庁 (JP)

② 特許出願公開

## ③ 公開特許公報 (A) 昭62-209514

④ Int.Cl.<sup>1</sup>  
G 02 F 1/133  
G 09 F 9/30識別記号  
3 2 7序内整理番号  
8205-2H  
6731-5C

⑤ 公開 昭和62年(1987)9月14日

審査請求 未請求 発明の数 1 (全5頁)

⑥ 発明の名称 アクティバトマトリクス基板

⑦ 特願 昭61-52844

⑧ 出願 昭61(1986)3月11日

⑨ 発明者 真野 敏彦 関西市大和3丁目3番5号 セイコーエプソン株式会社内

⑩ 発明者 宮原 雄光 関西市大和3丁目3番5号 セイコーエプソン株式会社内

⑪ 出願人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号

会社

⑫ 代理人 弁理士 最上 雄 外1名

## 明細書

発明の名称

アクティバトマトリクス基板

発明の概要

- ① 電気的ゲート部
- ② 電ゲート部に接続する複数のソース部
- ③ 電ゲート部と該ソース部の交点に形成される複数個体積を有する複数トランジスタ
- ④ 複数トランジスタのドレイン部に形成される複数電極

以上の如く構成されるアクティバトマトリクス基板において、該ソースラインは、該ゲート部以外と、該電極部材の2端から取ることを特徴とするアクティバトマトリクス基板。

発明の属する技術

〔電極部の利用分野〕

本発明は、液晶表示装置等に用いられるアクティバトマトリクス基板において、特にソース部を主

構成する点により、記載紙状の正誤も附ったものである。

## 〔発明の技術〕

発明のアクティバトマトリクス基板の1面裏面の平面部を第1面側に示す。又、同面に於いてA'の電極で示す面裏部を第2面側に示す。剖面に於いて説明する。

ガラス、石英等の基板基板200上に島状に半導体基板201を形成する。ゲート電極を兼ねるゲート膜202を形成する。しかる後、例えばイオン注入法等によりソース、ドレイン部材を形成する。次に、導通部203を全面に形成し、コンタクトホール204を掘る。後後にエッチ等の透明導通膜を、スパッタ法等で形成し、マスク、耐熱膜等をバーナー形成する。

以上が発明のアクティバトマトリクス基板の工法、及び構成である。

〔発明が解決しようとする問題〕

しかし発明の特徴工法では、ソース部を絶対電

## 特許出願62-209514 (2)

板と同一の材料で形成する為、シート抵抗が大きくなり、使ってソース板の配線抵抗が大きくなる。

例えば、エタリで形成した場合、送達率が50%以上を保った時のシート抵抗は30~20m/□であり、金属材料、例えばアルミニウムにして1m~2m大きい。ソース板に用いた場合、ルミもするが通常数10~20mの配線抵抗となってしまう。ソース板の配線抵抗が大きいと、十分に信号を書き込む事で金属抵抗率の抵抗率の場合、コントラスト不足、解像度不足の問題となる。又、シート抵抗の小さい金属配線を用いると、工数が増し、コストアップの弊図となる。

そこで不見例は以上の點を考慮をせしむし、工数を増すこととし、ソースラインの抵抗を減ることとを目的とする。具体的には、ゲート板に用いる材料をアリエニウム、ゲート板と送達する半導体外のソース板側に形成し、一般的にエタリ等の高純度金属材料で形成するソース板とコンタクトを有する半導体素子に用いるものである。

(同種点を有するもの手段)

は半導体板に形成されるコンタクトホール、1.05は高純度金を形成するエタリ等の送達等配線、1.06は、高純度金と同一材料で形成される半導体のソース板である。ここで第一回は第一回は第一回に於けるエタリの抵抗を減少する方法である。

以下工数削減に於いて説明する。

まず、カタログ、石英等の抵抗基板1.07上に、多結晶シリコン等の半導体板1.08を熱的に形成する。その上に熱処理等によるゲート電極1.09を形成する(第3回目)。

次に、上記に於けるはアリの不純物を有する多結晶シリコン等により、ゲート電極1.09、及び第一回のソースライン1.05を形成。その後イオン注入法等によりソース、ドレイン領域を形成する。(第3回目)

次にエタリ、エタリ等の半導体板1.03を全面に形成、しかし後、ソース、ドレイン領域、及び1回目のソース線上にコンタクトホール1.04を形成する。(第3回目)

本発明のアタケイブマトリクス基板は、高純度の。

1)複数のゲート線

2)複数ゲート線に直交する複数のソース線

3)複数ゲート線と複数ソース線の交点に形成される半導体層を有する複数トランジスタ

4)複数トランジスタのドレイン間に形成される半導体層

以上から形成されるアタケイブマトリクス基板である。即ソースラインは、該ゲート面材料と該高純度金属の2種類であることを特徴とするものである。

(実施例)

本発明によるアタケイブマトリクス基板は、高純度の基板1.01回、1.02回、1.03回、及び所要基板から成る。ここで、1.00はガラス、石英等の抵抗基板、1.01は、複数トランジスタを形成する半導体層、1.02は、ゲート線、1.03はゲート線と同一材料である、2回ソース層構造の1回目であり、1.04は初期遮蔽層である。1.04

は既に、エタリ等の送達等配線により、高純度1.05、2回目のソースライン1.06を形成する。(第3回目)

以上が、本発明によるアタケイブマトリクス基板の、構造及び製造方法である。

(実用的効果)

本発明の効果は、工数を増すことは1回、ソース線ヒルは形成することにより、配線抵抗を小さくできる事である。実際に実用の配線抵抗を約50%小さくすることができた。その結果、解像度不足の問題をなくすことができた。

図面の同様を説明

第1回は不見例のアタケイブマトリクス基板の、一回目を示す半導体層と、解像度不足である。

第2回は本発明のアタケイブマトリクス基板の、一回目を示す半導体層と、解像度不足である。

第3回回1-6は本発明の工数との解像度を示したものである。

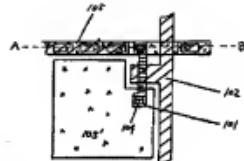
特開昭62-200514 (3)

1.0.0～絶縁基板 1.0.1～半導体基板  
 1.0.1'～ゲート絶縁膜  
 1.0.2～ゲート膜 1.0.2'～1種目のソース膜  
 1.0.3～漏電絶縁膜  
 1.0.4～コンタクトホール  
 1.0.5～2種目のソース膜  
 1.0.5'～漏電絶縁膜

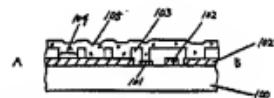
以上

出願人 セイコエスツイン株式会社

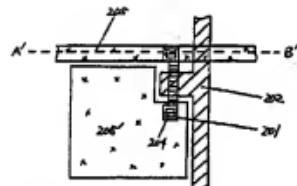
代理人 丹羽士 埼 上 野松 1名



第1図(a)



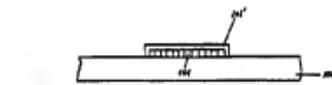
第1図(b)



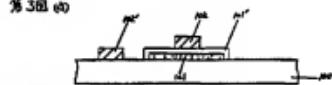
第2図(a)



第2図(b)



第3図(a)



第3図(b)



第3図(c)



第3図(d)